



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0008629
Application Number

출원 년 월 일 : 2003년 02월 11일
Date of Application
FEB 11, 2003

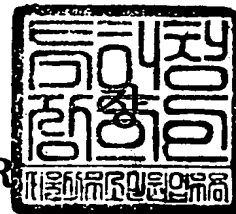
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.02.11
【발명의 명칭】 자기정렬 콘택홀을 갖는 반도체 장치및 그 제조방법
【발명의 영문명칭】 A SEMICONDUCTOR DEVICE HAVING SELF-ALIGNED CONTACT HOLE AND FABRICATION METHOD THEREOF
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-054081-9
【발명자】
【성명의 국문표기】 김형섭
【성명의 영문표기】 KIM, HYOUNG SUB
【주민등록번호】 660101-1720917
【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 진산마을삼성5차아파트 519-1401
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 4 면 4,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 15 항 589,000 원
【합계】 622,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

자기정렬 콘택홀을 갖는 반도체 장치 및 그 제조방법을 제공한다. 상기 반도체 장치 및 그 제조방법은 셀 어레이 영역 및 주변회로 영역을 갖는 반도체 기판을 준비하는 것을 구비한다. 상기 셀 어레이 영역내의 상기 반도체 기판 상에 워드라인 패턴들이 배치되고 상기 주변회로 영역내의 상기 반도체 기판 상에 적어도 하나의 게이트 패턴이 배치된다. 상기 워드라인 패턴들의 측벽들 및 상기 게이트 패턴의 측벽들은 각각 워드라인 스페이서들 및 상기 워드라인 스페이서들과 동일한 폭을 갖는 게이트 스페이서들로 덮여진다. 상기 워드라인 스페이서들 및 상기 게이트 스페이서들을 갖는 반도체 기판은 층간절연막으로 덮여진다. 상기 워드라인 패턴들 사이에 상기 층간절연막을 관통하는 자기정렬 콘택이 위치한다. 상기 자기정렬 콘택홀은 상기 층간절연막과 아울러서 상기 워드라인 스페이서들을 식각함으로써 형성된다. 상기 자기정렬 콘택홀의 측벽은 상기 게이트 스페이서들과 다른 폭을 갖는 자기정렬 콘택 스페이서로 덮여진다.

【대표도】

도 6

【색인어】

워드라인 패턴, 게이트 패턴, 워드라인 스페이서, 게이트 스페이서, 자기정렬 콘택홀, 자기정렬 콘택 스페이서.

【명세서】**【발명의 명칭】**

자기정렬 콘택홀을 갖는 반도체 장치및 그 제조방법{A SEMICONDUCTOR DEVICE HAVING SELF-ALIGNED CONTACT HOLE AND FABRICATION METHOD THEREOF}

【도면의 간단한 설명】

도 1 내지 도 6 은 본 발명의 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 단면도들.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <2> 본 발명은 반도체 장치및 그 제조방법에 관한 것으로서, 상세하게는 반도체 기판에 형성된 자기정렬 콘택홀을 갖는 반도체장치 및 그 제조방법에 관한 것이다.
- <3> 디램(DRAM)과 같은 반도체 기억장치들의 집적도가 증가함에 따라 여러가지의 새로운 제조기술들이 지속적으로 연구되고 있다. 이러한 새로운 제조기술들중 콘택 기술은 고집적 반도체 장치의 제조에 있어서 그 중요도가 점점 높아지고 있다.
- <4> 최근에, 상기 고집적 반도체 장치의 제조에 적합한 자기정렬 콘택기술이 널리 사용되고 있다. 상기 자기정렬 콘택 기술을 사용하여 반도체 장치를 형성하는 종래의 공정은 다음과 같다.
- <5> 먼저, 셀 어레이 영역 및 주변회로 영역을 갖는 반도체 기판을 준비한다. 상기 셀 어레이 영역 및 주변회로 영역내에 각각 복수개의 워드라인 패턴들 및 적어도 하나의 게

이트 패턴을 형성한다. 상기 워드라인 패턴들의 각각은 차례로 적층된 워드라인 및 캐핑 절연막 패턴을 포함한다. 이와 마찬가지로, 상기 게이트 패턴 역시 차례로 적층된 게이트 전극 및 캐핑 절연막 패턴을 포함한다.

<6> 상기 워드라인 패턴들 및 상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체 기판에 불순물 이온들을 주입하여 저농도 소오스/ 드레인 영역들을 형성한다. 상기 저농도 소오스/ 드레인 영역들은 갖는 반도체 기판의 전면상에 스페이서막을 형성한다. 상기 스페이서막을 이방성 식각하여 상기 워드라인 패턴들 및 상기 게이트 패턴의 측벽들 상에 각각 워드라인 스페이서들 및 게이트 스페이서들을 동시에 형성한다. 상기 게이트 스페이서들은 상기 주변회로 영역내에 형성되는 모스 트랜지스터의 소오스/ 드레인 구조, 즉 엘디디형 소오스/ 드레인 구조를 최적화시키기 위하여 형성된다. 따라서, 상기 게이트 스페이서의 폭은 상기 모스 트랜지스터의 특성을 고려하여 결정되어야 한다.

<7> 계속해서, 상기 게이트 패턴 및 상기 게이트 스페이서들을 이온주입 마스크로 사용하여 적어도 상기 주변회로 영역내의 반도체 기판 내에 불순물을 주입하여 고농도 소오스/ 드레인 영역을 형성한다. 그 결과, 상기 주변회로 영역내의 모스 트랜지스터는 엘디디형의 소오스/ 드레인 영역들이 형성된다.

<8> 상기 엘디디형의 소오스/ 드레인 영역들을 갖는 반도체기판의 전면상에 층간 절연막을 형성한다. 상기 층간 절연막을 패터닝하여 상기 워드라인 패턴들 사이의 영역을 관통하는 자기정렬 콘택홀을 형성한다. 이 경우에, 상기 캐핑 절연막 패턴들 및 상기 워드라인 스페이서들은 상기 자기정렬 콘택홀을 형성하는 동안에 식각저지막 역할을 한다.

- <9> 상술한 종래의 자기정렬 콘택기술에 따르면, 상기 게이트 스페이서들 각각은 상기 워드라인 스페이서들 각각과 동일한 폭을 갖는다. 또한, 상기 게이트 스페이서들은 상기 주변회로 영역내에 형성되는 모스 트랜지스터의 특성을 최적화시키기 위하여 일정폭을 갖도록 형성되어야 한다. 예를 들면, 상기 게이트 스페이서들 각각의 폭을 감소시키는 경우에, 상기 모스 트랜지스터의 소오스/ 드레인 영역은 급격한 불순물 프로파일(ABRUPT IMPURITY PROFILE)을 가지므로 상기 모스 트랜지스터의 신뢰성(핫 캐리어 효과 등; HOT CARRIER EFFECT, et al.)이 저하된다. 이에 반하여, 상기 게이트 스페이서들의 폭을 증가시키면, 상기 워드라인 스페이서의 폭 역시 증가하여 상기 자기정렬 콘택홀의 하부직경을 감소시킨다. 이에 따라, 상기 게이트 스페이서들의 폭의 증가는 상기 자기정렬 콘택 불량(SELF ALIGNED CONTACT FAIL)을 초래한다. 결과적으로, 상기 모스 트랜지스터의 특성 및 상기 자기정렬 콘택 특성을 최적화시키기가 어렵다.
- <10> 한편, 미국특허공보 제 6,159,806 호(U.S PATENT No. 6,159,806)에 " 이펙티브 스페이서 폭을 증가시키는 방법(METHOD FOR INCREASING THE EFFECTIVE SPACER WIDTH) " 이라는 제목으로 홍난전(HORNG-NAN CHERN)에 의해 스페이서 폭을 증가시키는 방법이 개시된 바있다.
- <11> 상기 미국특허공보 제 6159806 호에 따르면, 이펙티브 스페이서 폭의 증가시키는 방법은 상기 반도체 기판 상에 내부(INTERIOR) 회로의 게이트 패턴들과 주변(PERIPHERAL) 회로의 게이트 패턴들을 형성한다. 상기 게이트 패턴들을 갖는 상기 반도체 기판에 N-형 영역들을 형성한다. 계속해서, 상기 게이트 패턴들의 측벽에 게이트 스페이서들을 형성한다. 상기 게이트 스페이서들을 갖는 상기 반도체 기판상에 제 1 유전막을 증착한다. 상기 제 1 유전막을 갖는 반도체 기판 상에 포토레지스트를 도포한다. 상

기 포토레지스트를 포토공정으로 패터닝하여 상기 주변회로의 게이트 패턴들만을 갖는 반도체 기판을 오픈한다. 이어서, N+ 형 불순물 이온들을 상기 반도체 기판에 주입하여 상기 게이트 스페이서의 에지(EDGE)에 오버랩되는 N+ 형 영역들을 형성한다. 상기 N+ 형 불순물 이온들의 상기 반도체 기판에 주입한 후에 상기 포토레지스트를 제거한다. 상기 N+ 형 영역들을 갖는 상기 반도체 기판상에 제 2 유전막을 형성한다. 상기 제 1 및 제 2 유전막들을 관통하여 상기 내부회로 및 상기 주변회로의 게이트 패턴들과 정렬된 소정 영역들에 콘택홀들을 형성한다. 상기 N+ 형 영역들은 상기 게이트 스페이서들과 상기 제 1 유전막을 이용하여 주변회로의 게이트 패턴들의 에지들에 오버랩되도록 형성된다. 따라서, 상기 제 1 유전막의 이용은 상기 제 1 유전막 두께만큼 상기 주변회로의 게이트 패턴들 각각의 하부에 이펙티브 채널 길이(EFFECTIVE CHANNEL LENGTH)를 증가시키는 효과를 준다.

<12> 그러나, 상기 방법은 상기 내부회로에서 상기 게이트 패턴들의 피치와 상기 게이트들 각각의 폭이 고정된 상황에서 상기 게이트 패턴들 사이로 상기 콘택을 형성한다. 더우기, 상기 콘택은 상기 게이트 패턴의 측벽들 상에 게이트 스페이서들이 형성된 후에 형성된다. 따라서, 상기 내부회로의 게이트 패턴들의 디자인 룰이 축소된 반도체 장치에서는 상기 콘택들 각각에 대한 저항의 개선이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명이 이루고자 하는 기술적 과제는 셀 어레이 영역에서 자기정렬 콘택 홀의 콘택 저항을 원활하게 컨트롤하기에 적합한 자기정렬 콘택홀을 갖는 반도체 장치를 제공하는데 있다.

<14> 본 발명이 이루고자 하는 다른 기술적 과제는 셀 어레이 영역에서 자기정렬 콘택홀의 콘택 저항을 원활하게 컨트롤할 수 있는 자기정렬 콘택홀을 갖는 반도체장치의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<15> 상기 기술적인 과제를 구현하기 위하여 본 발명은 자기정렬 콘택홀을 갖는 반도체 장치를 제공한다.

<16> 본 발명의 일 양태에 따르면, 상기 반도체 장치는 셀 어레이 영역내의 그리고 주변 회로 영역내의 반도체 기판 상에 각각 형성된 복수개의 워드라인 패턴들 및 적어도 하나의 게이트 패턴을 포함한다. 상기 반도체 기판의 전면 상에 층간절연막이 덮여진다. 상기 층간절연막과 아울러서 상기 워드라인 패턴들 사이의 소정영역을 관통하는 자기정렬 콘택홀이 배치된다. 상기 자기정렬 콘택홀의 측벽에 자기정렬 콘택 스페이서가 덮여진다. 상기 게이트 패턴의 측벽 및 상기 층간절연막 사이에 개재된 게이트 스페이서를 배치 하되, 상기 게이트 스페이서의 폭은 상기 자기정렬 콘택 스페이서의 폭과 다르다.

<17> 상기 반도체 장치는 상기 자기정렬 콘택홀의 반대편에 위치하는 상기 워드라인 패턴들의 측벽 및 상기 층간절연막 사이에 개재된 워드라인 스페이서들을 더 포함하되, 상기 워드라인 스페이서들은 상기 게이트 스페이서와 동일한 물질막으로 이루어지고, 상기 워드라인 스페이서들 각각은 상기 게이트 스페이서와 동일한 폭을 갖는다.

<18> 본 발명의 다른 양태에 따르면, 상기 반도체 장치는 상기 워드라인 스페이서들 및 상기 워드라인 패턴들 사이에, 상기 게이트 스페이서 및 상기 게이트 패턴 사이에, 그리

고 상기 자기정렬 콘택 스페이서 및 상기 워드라인 패턴 사이에 개재된 스페이서 식각저지막을 더 포함할 수 있다.

<19> 본 발명의 또 다른 양태에 따르면, 상기 워드라인 스페이서들 및 상기 층간절연막 사이에, 상기 게이트 스페이서들 및 상기 층간절연막 사이에 개재된 콘택 식각저지막을 더 포함할 수 있다.

<20> 상기 다른 기술적인 과제를 구현하기 위하여 본 발명은 자기정렬 콘택홀을 갖는 반도체 장치의 제조방법을 제공한다.

<21> 본 발명의 일 양태에 따르면, 상기 반도체 장치의 제조방법은 셀 어레이 영역내의 반도체 기판상에 그리고 주변회로 영역내의 상기 반도체 기판상에 각각 복수개의 워드라인 패턴들 및 적어도 하나의 게이트 패턴을 형성한다. 상기 워드라인 패턴들의 측벽들상에 그리고 상기 게이트 패턴의 측벽들 상에 워드라인 스페이서들 및 게이트 스페이서들을 형성한다. 상기 반도체 기판의 전면상에 층간절연막을 형성한다. 상기 층간절연막 및 상기 워드라인 스페이서들을 연속적으로 식각하여 상기 워드라인 패턴들 사이의 소정영역을 관통하는 자기정렬 콘택홀을 형성한다. 상기 자기정렬 콘택홀의 측벽상에 상기 게이트 스페이서들과 다른 폭을 갖는 자기정렬 콘택 스페이서를 형성한다.

<22> 본 발명의 다른 양태에 따르면, 상기 반도체장치의 제조방법은 상기 워드라인 스페이서들 및 상기 게이트 스페이서들을 형성하기 전에, 상기 워드라인 패턴들 및 상기 적어도 하나의 게이트 패턴을 갖는 반도체 기판의 전면 상에 스페이서 식각저지막을 형성하는 것을 더 포함할 수 있다. 상기 스페이서 식각저지막은 상기 자기정렬 콘택홀 또는 상기 자기정렬 콘택 스페이서를 형성하는 동안 식각에 대한 버퍼막이다.

- <23> 본 발명의 또 다른 양태에 따르면, 상기 반도체장치의 제조방법은 상기 층간 절연막을 형성하기 전에, 상기 워드라인 스페이서들 및 상기 게이트 스페이서들을 갖는 반도체 기판의 전면상에 콘택 식각저지막을 형성하는 것을 더 포함할 수 있다. 상기 콘택 식각저지막은 상기 자기정렬 콘택홀을 형성하는 동안 식각에 대한 버퍼막이다.
- <24> 이하, 본 발명의 실시예를 첨부된 도면들을 참조하여 상세히 설명하기로 한다.
- <25> 도 1 내지 도 6 은 본 발명의 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.
- <26> 도 1 을 참조하면, 셀 어레이 영역(C) 및 주변회로 영역(D)을 갖는 반도체 기판(100)을 준비한다. 상기 반도체 기판(100) 상에 게이트 도전막 및 게이트 캐핑 절연막을 차례로 형성한다. 상기 게이트 도전막은 도우핑된 폴리 실리콘막으로 형성한다. 그러나, 상기 게이트 도전막은 상기 도우핑된 폴리 실리콘막 및 금속 실리콘사이드막을 차례로 적층시켜 형성할 수도 있다. 상기 게이트 캐핑 절연막은 실리콘 산화막에 대하여 식각 선택비를 갖는 절연막, 예컨대 실리콘 질화막으로 형성하는 것이 바람직하다.
- <27> 상기 게이트 캐핑 절연막 및 상기 게이트 도전막을 패터닝하여 상기 셀 어레이 영역(C) 및 주변회로 영역(D) 내에 각각 워드라인 패턴(115)들 및 적어도 하나의 게이트 패턴(115')을 형성한다. 결과적으로, 상기 워드라인 패턴(115)들의 각각은 차례로 적층된 워드라인(105) 및 워드라인 캐핑막(110)을 포함하고, 상기 게이트 패턴(115')은 차례로 적층된 게이트 전극(105') 및 게이트 캐핑막(110')을 포함한다. 상기 워드라인 패턴(115)들 및 상기 게이트 패턴(115')을 이온주입 마스크들로 사용하여 상기 반도체 기판(100) 내에 불순물 이온들을 주입해서 N- 형의 저농도 소오스/ 드레인 영역(120)들을 형성한다.

<28> 도 2 를 참조하면, 셀 어레이 영역(C)의 워드라인 패턴(115)들과 주변회로 영역(D)의 게이트 패턴(115')을 갖는 반도체 기판의 전면상에 스페이서 절연막(130)을 형성한다. 상기 스페이서 절연막(130)은 산화막으로 형성하는 것이 바람직하다. 상기 스페이서 절연막(130)의 형성전에 스페이서 식각저지막(125)의 형성 공정이 추가될 수도 있다. 상기 스페이서 식각저지막(125)은 산화막과 다른 식각 선택비를 갖는 절연막으로 형성된다. 상기 스페이서 식각저지막(125)은 질화막으로 형성하는 것이 바람직하다.

<29> 도 3 을 참조하면, 도 2 의 스페이서 절연막(130)을 이방성으로 에칭 백(ETCH-BACK)시킨다. 워드라인 패턴(115)들의 측벽들 상에 워드라인 스페이서(130a)들을 형성한다. 동시에, 게이트 패턴(115')의 측벽들 상에도 게이트 스페이서(130b)들을 형성한다. 상기 워드라인 스페이서(130a)들과 상기 게이트 스페이서(130b)들은 동일한 폭(L1)을 갖도록 형성된다. 상기 게이트 스페이서(130b)들의 폭(L1)은 주변회로 영역(D)에서 트랜지스터(TRANSISTOR)의 특성 향상에 기여한다.

<30> 상기 워드라인 스페이서(130a)들과 상기 게이트 스페이서(130b)들을 갖는 반도체 기판상에 포토레지스트(도면에 미 도시)를 도포한다. 상기 포토레지스트에 포토공정을 수행시켜서 상기 주변회로 영역(D)을 오픈한다. 이후로, 상기 게이트 스페이서(130b)들 및 상기 스페이서 식각저지막(125)을 이용하여 N⁺ 형 불순물 이온들을 주입시켜서 상기 주변회로 영역(D)내의 상기 반도체 기판에 N⁺ 형 영역(135)들을 형성한다. 상기 N⁺ 형 영역(135)들은 상기 게이트 패턴(115')들의 에지 부위(EDGE REGION)들에 형성된 N⁻ 형 영역(120)들과 함께 LDD(LIGHTLY DOPED DRAIN) 구조를 형성한다. 상기 N⁺ 형 영역(135)들을 상기 주변회로 영역(D)에 형성한 후에 상기 포토레지스트를 제거한다.

- <31> 상기 스페이스 절연막(130)과 아울러 스페이스 식각저지막(125)이 이용된 경우에는 상기 스페이스 식각저지막(125)을 버퍼(BUFFER) 막으로 하여 상기 스페이스 절연막(130)을 이방성으로 에칭 백시킨다.
- <32> 도 4 를 참조하면, 워드라인 스페이스(130a)들과 게이트 스페이스(130b)들 을 갖는 반도체 기판의 전면 상에 콘포말한 층간절연막(140)을 형성한다. 상기 층간절연막(140) 형성전에 콘택 식각저지막(138)의 형성 공정이 추가될 수도 있다.
- <33> 상기 층간절연막(140) 상에 포토레지스트(145)를 도포하여 포토공정을 진행한다. 상기 포토공정은 상기 셀 어레이 영역(C)에 적어도 하나의 포토레지스트 패턴(148)을 형성한다. 상기 포토레지스트 패턴(148)은 워드라인 패턴(115)들 사이에 정렬되도록 적어도 하나를 형성한다. 또한, 상기 포토레지스트 패턴(148)들은 상기 포토공정의 미스 얼라인(MIS-ALIGN)을 고려하여 상기 워드라인 패턴(115)들 사이의 간격(W2)보다 크도록 상기 층간절연막(140) 상에 소정 폭(W1)으로 형성한다. 상기 층간절연막은 HDP 산화막, USG 막, BPSG 막, 및 PSG 막 중에 선택된 하나로 이루어진다.
- <34> 상기 콘택 식각저지막(138) 및 스페이스 식각저지막(125)은 동일 공정에서 같이 이용되지 않는다.
- <35> 도 5 를 참조하면, 도 4 의 포토레지스 패턴(148) 및 상기 포토레지스트 패턴(148)을 갖는 포토레지스트(145)를 이용하여 상기 층간절연막(140)을 식각한다. 상기 포토레지스트 패턴(148)에 대응된 상기 층간절연막(140)과 아울러서 워드라인 패턴(115)들 사이의 소정영역을 관통하는 적어도 하나의 자기정렬 콘택홀(150)을 형성한다. 이때에, 상기 자기정렬 콘택홀(150) 내에는 상기 층간절연막(140)과 상기 워드라인 스페이스(130a)들이 제거되어 반도체 기판(100)이 노출된다.

- <36> 상기 자기정렬 콘택홀(150)은 상기 워드라인 패턴(115)들을 이용해서 셀프 얼라인 (SELF ALIGN) 방식으로 형성된다. 상기 자기정렬 콘택홀(150)은 상기 워드라인 패턴 (115)들 사이의 소정영역에 형성된 하부 콘택홀과 아울러서 상기 하부 콘택홀 상에 위치 하고 상기 층간절연막(140)과 상기 콘택 식각저지막(138)을 관통하는 상부 콘택홀을 포 함한다. 상기 워드라인 패턴(115)들을 가로지르는 방향을 따라서, 상기 상부 콘택홀의 직경(W3)은 상기 하부 콘택홀의 직경(W4)보다 크다.
- <37> 그러나, 주변회로 영역(D)은 도 4 에서 포토레지스트(145)로 인해서 상기 층간절연 막(140)이 식각되지 않고 그대로 남아있다. 이로 인해서, 상기 주변회로 영역(D)에서 상 기 게이트 스페이서(130b)들의 폭은 도 3 과 동일하게 유지된다. 상기 자기정렬 콘택 (150)을 형성한 후에 상기 층간절연막(140) 상의 상기 포토레지스트(145)는 제거된다.
- <38> 계속해서, 상기 자기정렬 콘택홀(150)을 갖는 반도체 기판의 전면상에 소정 두께 (T)의 자기정렬 절연막(155)을 형성한다. 상기 자기정렬 절연막(155)은 상기 층간절연막 (140)에 대하여 다른 식각 선택률을 갖는다. 상기 자기정렬 절연막(155)은 산화막 또는 질화막으로 형성되는 것이 바람직하다.
- <39> 상기 자기정렬 콘택홀(150) 형성시에 스페이서 식각저지막(125) 또는 콘택 식각저 지막(138)이 이용된 경우에, 각각의 식각저지막은 식각에 대한 데미지(DAMAGE)를 줄여주 는 버퍼막(BUFFER)이다. 이때에, 상기 스페이서 식각저지막(125)은 상기 층간절연막 (140)과 상기 워드라인 스페이서(130a)를 제거하는 동안에 반도체 기판(100)에 식각 데 미지를 줄이기 위한 에칭에 대한 상기 버퍼막이다. 또한, 상기 콘택 식각저지막(138)은 상기 층간절연막(140)을 제거하는 동안 에칭에 대한 상기 버퍼막으로 후속해 상기 워드 라인 스페이서(130a)를 식각하기 위한 에칭부담을 감소시켜 준다.

<40> 도 6 을 참조하면, 도 5 의 자기정렬 절연막(155)을 에칭 백하여 자기정렬 콘택홀(150) 측벽에 자기정렬 콘택 스페이서(155a)를 형성한다. 상기 자기정렬 콘택 스페이서(155a)의 폭(L2)은 셀 어레이 영역(C)에 형성된 상기 워드라인 스페이서(130a)들의 폭(L1)과 다른 크기로 컨트롤된다. 상기 자기정렬 콘택 스페이서(155a)의 폭(L2)은 상기 주변회로 영역(D)에 형성된 상기 게이트 스페이서(130b)들의 폭(L1)과 다른 크기로 컨트롤된다. 상기 자기정렬 콘택 스페이서(155a)의 폭(L2)은 상기 워드라인 스페이서(130a)들의 폭(L1) 또는 상기 게이트 스페이서(130b)들의 폭(L1)보다 작게하는 것이 바람직하다.

<41> 따라서, 본 발명에 따른 반도체 장치는 상기 자기정렬 콘택 스페이서(155a)를 이용하여 상기 자기정렬 콘택홀(150) 내에서 반도체 기판(100)이 노출되는 크기를 자유로이 조절한다. 즉, 상기 자기정렬 콘택 스페이서(155a)를 갖는 상기 반도체 장치는 축소된 디자인 룰(DSIGN RULE)에도 적극대응하여 상기 자기정렬 콘택홀(150)내에 노출되는 상기 반도체 기판(100)의 면적을 자유로이 조절할수 있게 한다. 왜냐하면, 상기 자기정렬 콘택 스페이서(155a)의 폭(L2)은 상기 워드라인 스페이서(130a)의 폭(L1) 또는 게이트 스페이서(130b)의 폭(L1)과 다른 크기로 형성할 수 있기 때문이다. 또한, 상기 반도체 장치는 상기 자기정렬 콘택홀(150)의 전기적인 콘택 저항을 원활하게 컨트롤하여 상기 셀 어레이 영역(C)으로 입력 또는 상기 셀 어레이 영역(C)으로부터 출력되는 데이터(DATA)들의 손실을 줄일 수 있다.

<42> 상기 자기정렬 콘택 스페이서(155a)는 스페이서 식각저지막(125) 또는 콘택 식각저지막(138)을 이용하여 형성할 수도 있다. 이때에, 상기 스페이서 식각저지막(125)은 상기 셀 어레이 영역(C)내에서 워드라인 패턴(115)들과 상기 워드라인 스페이서(130a)들

사이, 상기 워드라인 패턴(115)들과 충전절연막(140) 사이, 및 상기 워드라인 패턴(115)들과 상기 자기정렬 콘택 스페이서(155a) 사이에 개재된다. 또한, 상기 스페이서 식각저지막(125)은 상기 주변회로 영역(D)내에서 게이트 패턴(115')과 상기 게이트 스페이서(130b)들 사이, 상기 게이트 패턴(115')과 상기 충전절연막(140) 사이에 개재된다. 그리고, 상기 스페이서 식각저지막(125)은 상기 자기정렬 콘택 스페이서(155a)를 형성하는 동안에 식각에 대한 버퍼(BUFFER) 막으로 이용될 수 있다. 이를 통해서, 상기 반도체 기판(100)에 식각에 대한 데미지(DAMAGE)를 줄인다. 상기 자기정렬 콘택 스페이서(155a)를 형성한 후에, 상기 자기정렬 콘택(150)은 상기 스페이서 식각저지막(125)을 연속적으로 식각하여 상기 반도체 기판(100)을 노출함으로써 형성된다.

<43> 상기 콘택 식각저지막(138)은 상기 셀 어레이 영역(C)내에서 상기 워드라인 스페이서(130a)들과 상기 충전절연막(140) 사이, 상기 워드라인 패턴(115)들과 상기 충전절연막(140) 사이에 개재된다. 그리고, 상기 콘택 식각저지막(138)은 상기 주변회로 영역(D)내에서 상기 게이트 스페이서(130b)와 상기 충전절연막(140) 사이, 상기 게이트 패턴(115')과 상기 충전절연막(140) 사이에 개재된다.

<44> 본 발명의 실시예에 따른 반도체 장치를 도 6 을 참조하여 설명하기로 한다.

<45> 도 6 을 다시 참조하면, 상기 반도체 장치는 셀 어레이 영역(C) 및 주변회로 영역(D)을 갖는 반도체 기판을 포함한다. 상기 셀 어레이 영역(C)내의 반도체 기판 (100) 상에 복수개의 워드라인 패턴(115)들이 배치되고, 상기 주변회로 영역(D)내의 상기 반도체 기판(100) 상에 적어도 하나의 게이트 패턴(115')이 배치된다. 상

기 워드라인 패턴(115)들 및 상기 게이트 패턴(115')을 갖는 반도체 기판의 전면은 층간 절연막(140)으로 덮여진다. 상기 워드라인 패턴(115)들 사이의 상기 반도체 기판(100)의 소정영역은 상기 층간절연막(140)을 관통하는 자기정렬 콘택홀(150)에 노출된다. 상기 자기정렬 콘택홀(150)의 측벽은 자기정렬 콘택 스페이서(155a)로 덮여진다. 또한, 상기 게이트 패턴(115')의 측벽은 게이트 스페이서(130b)들로 덮여진다. 상기 자기정렬 콘택 스페이서(155a)는 상기 게이트 스페이서(130b)들과 다른 폭을 갖는다. 바람직하게는, 상기 자기정렬 콘택 스페이서(155a)의 폭은 상기 게이트 스페이서(130b)들의 폭보다 작다.

<46> 이에 더하여, 상기 자기정렬 콘택홀(150)의 반대편에 위치하는 상기 워드라인 패턴(115)들의 측벽들은 워드라인 스페이서(130a)들로 덮여진다. 상기 워드라인 스페이서(130a)들은 상기 게이트 스페이서(130b)들과 동일한 폭을 갖는다. 더 나아가서, 상기 스페이서들(130a, 155a) 및 상기 워드라인 패턴(115)들의 측벽들 사이에 스페이서 식각 저지막(125)이 개재될 수 있다. 상기 스페이서 식각저지막(125)은 연장되어 상기 게이트 패턴(115')의 상부면들 및 측벽들을 덮는다. 또한, 상기 스페이서들(130a, 130b) 및 상기 층간절연막(140) 사이에는 콘택 식각저지막(138)이 개재될 수 있다.

<47> 한편, 상기 자기정렬 콘택홀(150)은 상기 워드라인 패턴(115)들 사이의 영역을 관통하는 하부 콘택홀 및 상기 하부 콘택홀 상에 위치하고 상기 층간절연막(140)을 관통하는 상부 콘택홀을 포함한다. 상기 워드라인 패턴(115)들 가로지르는 방향을 따라서, 상기 상부 콘택홀의 직경은 상기 하부 콘택홀의 직정보다 클 수가 있다.

【발명의 효과】

<48> 상술한 바와 같이, 본 발명의 자기정렬 콘택홀을 갖는 반도체장치 및 그 제조방법은 셀 어레이 영역의 자기정렬 콘택홀 측벽에 자기정렬 콘택 스페이서의 폭을 워드라인 스

페이서의 폭 또는 게이트 스페이서의 폭과 다른 크기로 형성하여 상기 자기정렬 콘택홀의 콘택저항을 원활하게 컨트롤하여 상기 반도체 장치의 퍼포먼스를 증가시킬수 있다.

【특허청구범위】**【청구항 1】**

셀 어레이 영역 및 주변회로 영역을 갖는 반도체 기판;

상기 셀 어레이 영역 내의 상기 반도체 기판 상에 형성된 복수개의 워드라인

패턴들;

상기 주변회로 영역 내의 상기 반도체 기판 상에 형성된 적어도 하나의 게이트 패턴;

상기 워드라인 패턴들 및 상기 게이트 패턴을 갖는 반도체 기판의 전면 상에 형성된 층간절연막;

상기 층간절연막과 아울러서 상기 워드라인 패턴들 사이의 소정 영역을 관통하는 자기정렬 콘택홀;

상기 자기정렬 콘택홀의 측벽을 덮는 자기정렬 콘택 스페이서; 및

상기 게이트 패턴의 측벽 및 상기 층간절연막 사이에 개재된 게이트 스페이서들을 포함하되, 상기 게이트 스페이서들의 폭은 상기 자기정렬 콘택 스페이서의 폭과 다른 것을 특징으로 하는 반도체 장치.

【청구항 2】

제 1 항에 있어서,

상기 자기정렬 콘택홀의 반대편에 위치하는 상기 워드라인 패턴들의 측벽 및 상기 층간절연막 사이에 개재된 워드라인 스페이서들을 더 포함하되, 상기 워드라인 스페이서들은 상기 게이트 스페이서와 동일한 물질막으로 형성되고, 상기 워드라인 스페이서들은 상기 게이트 스페이서들과 동일한 폭을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 3】

제 2 항에 있어서,

상기 워드라인 스페이서들 및 상기 워드라인 패턴들 사이에, 상기 게이트 스페이서 및 상기 게이트 패턴 사이에, 그리고 상기 자기정렬 콘택 스페이서 및 상기 워드라인 패턴 사이에 개재된 스페이서 식각저지막을 더 포함하는 것을 특징으로 하는 반도체장치.

【청구항 4】

제 2 항에 있어서,

상기 워드라인 스페이서들 및 상기 충전절연막 사이에, 상기 게이트 스페이서들 및 상기 충전절연막 사이에 개재된 콘택 식각저지막을 더 포함하는 것을 특징으로 하는 반도체장치.

【청구항 5】

제 1 항에 있어서,

상기 충전절연막은 HDP 산화막, USG 막, BPSG 막, 및 PSG 막 중에 선택된 하나로 이루어진 것이 특징인 반도체장치.

【청구항 6】

제 1 항에 있어서,

상기 자기정렬 콘택홀은 상기 워드라인 패턴들 사이의 영역을 관통하는 하부 콘택홀과 아울러서 상기 하부 콘택홀 상에 위치하고 상기 충전 절연막을 관통하는 상부 콘택홀을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 7】

제 6 항에 있어서,

상기 워드 라인 패턴들을 가로지르는 방향을 따라서, 상기 하부 콘택홀의 직경은 상기 상부 콘택홀의 직경보다 큰 것을 특징으로 하는 반도체 장치.

【청구항 8】

제 1 항에 있어서,

상기 자기정렬 콘택 스페이서는 상기 게이트 스페이서들보다 작은 폭을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 9】

셀 어레이 영역 및 주변회로 영역을 갖는 반도체 기판을 준비하고,

상기 셀 어레이 영역내의 상기 반도체 기판 상에 그리고 상기 주변회로 영역내의 상기 반도체 기판 상에 각각 복수개의 워드라인 패턴들 및 적어도 하나의 게이트 패턴을 형성하고,

상기 워드라인 패턴들의 측벽들 상에 그리고 상기 게이트 패턴의 측벽들 상에 각각 워드라인 스페이서들 및 게이트 스페이서들을 동시에 형성하고,

상기 워드라인 스페이서들과 상기 게이트 스페이서들을 갖는 반도체 기판의 전면 상에 층간절연막을 형성하고,

상기 층간절연막 및 상기 워드라인 스페이서들을 연속적으로 식각하여 상기 워드라인 패턴들 사이의 소정영역을 관통하는 자기정렬 콘택홀을 형성하고,

상기 자기정렬 콘택홀의 측벽상에 상기 게이트 스페이서들과 다른 폭을 갖는 자기정렬 콘택 스페이서를 형성하는 것을 포함하는 반도체장치의 제조방법.

【청구항 10】

제 9 항에 있어서,

상기 워드라인 스페이서들 및 상기 게이트 스페이서들을 형성하기 전에,

상기 워드라인 패턴들 및 상기 적어도 하나의 게이트 패턴을 갖는 반도체 기판의 전면 상에 스페이서 식각저지막을 형성하는 것을 더 포함하되, 상기 스페이서 식각저지막은 상기 자기정렬 콘택홀 또는 상기 자기정렬 콘택 스페이서를 형성하는 동안 식각에 대한 버퍼막인 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 11】

제 9 항에 있어서,

상기 층간 절연막을 형성하기 전에,

상기 워드라인 스페이서들 및 상기 게이트 스페이서들을 갖는 반도체 기판의 전면 상에 콘택 식각저지막을 형성하는 것을 더 포함하되, 상기 콘택 식각저지막은 상기 자기정렬 콘택홀을 형성하는 동안 식각에 대한 버퍼막인 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 12】

제 9 항에 있어서,

상기 워드라인 스페이서들 및 상기 게이트 스페이서들은 절연막으로 형성하는 것이 특징인 반도체장치의 제조방법.

【청구항 13】

제 10 항에 있어서,

상기 스페이서 식각저지막은 상기 워드라인 스페이서들 및 상기 게이트 스페이서들에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 14】

제 11 항에 있어서,

상기 콘택 식각저지막은 상기 층간 절연막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

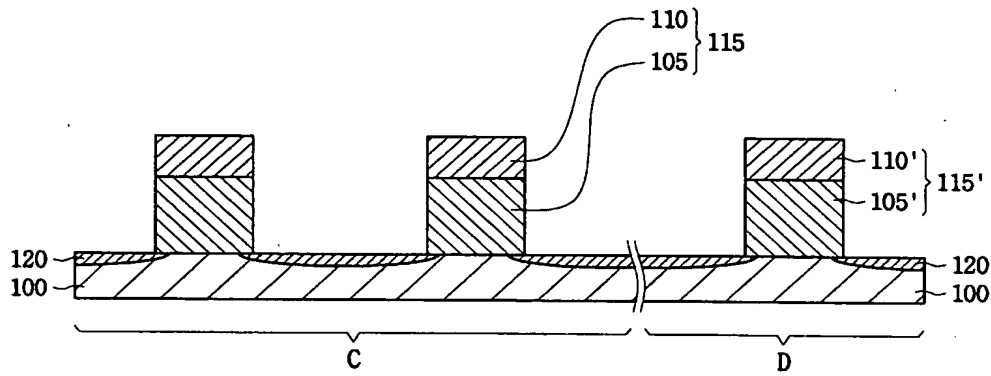
【청구항 15】

제 9 항에 있어서,

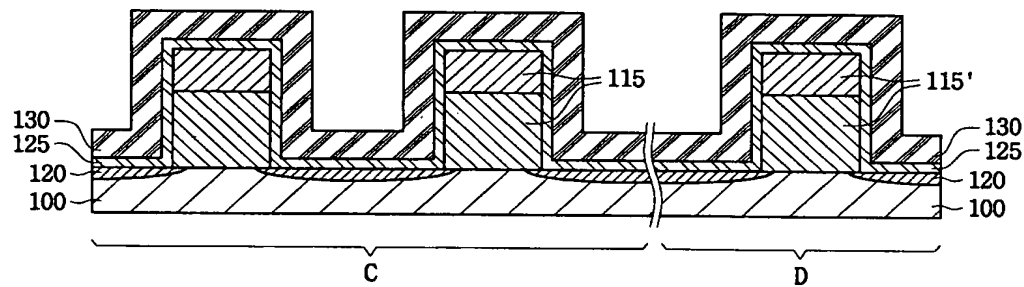
상기 자기정렬 콘택 스페이서는 상기 층간 절연막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【도면】

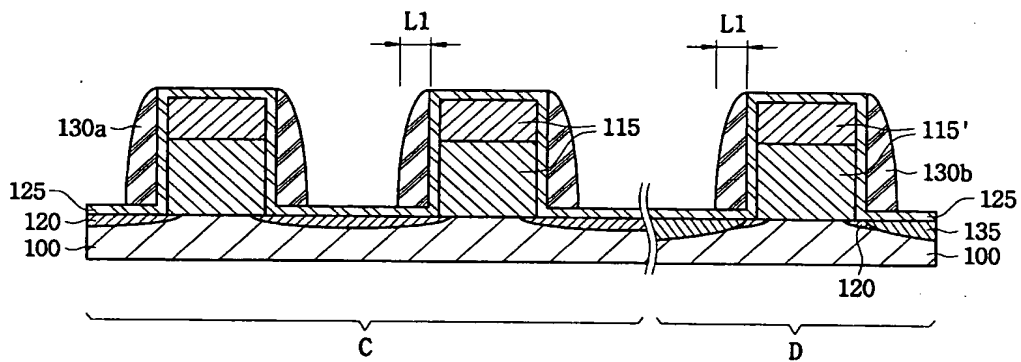
【도 1】



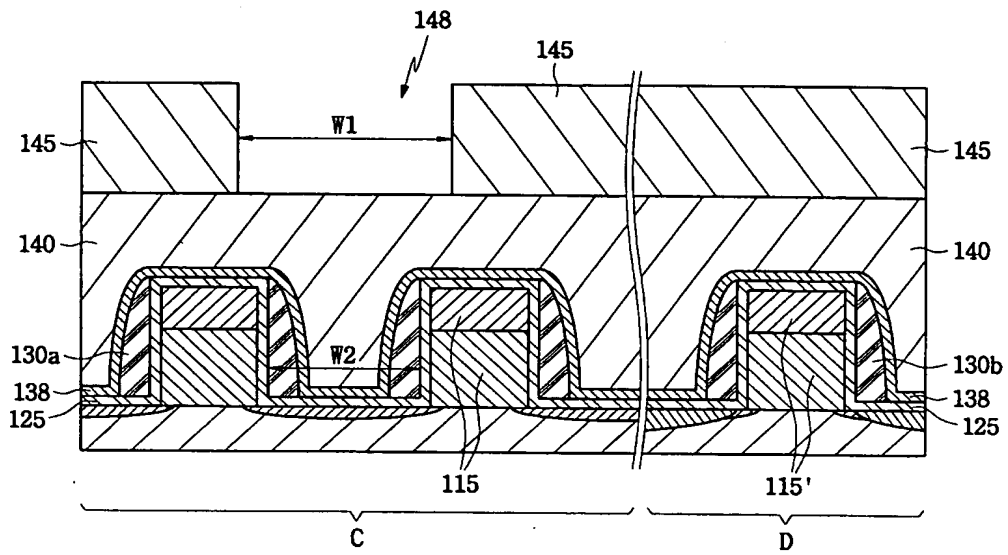
【도 2】



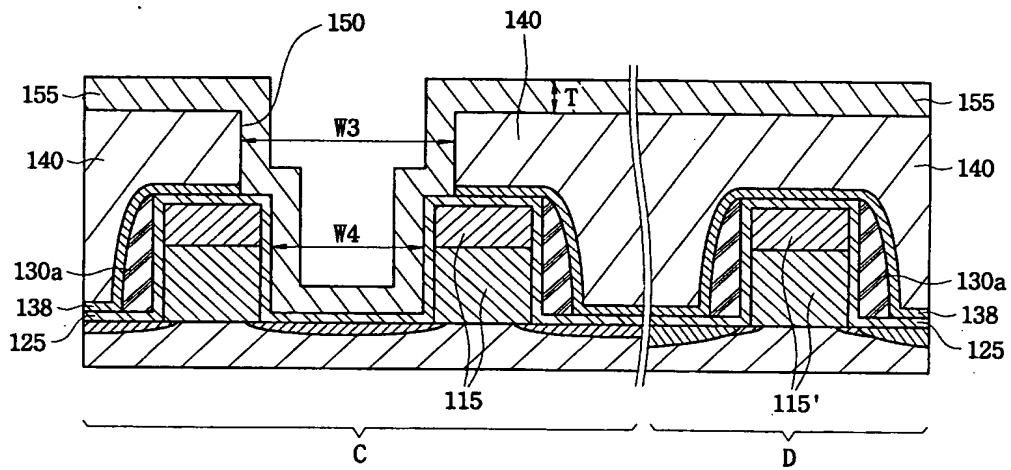
【도 3】



【도 4】



【도 5】



This cross-sectional view shows a semiconductor device with two unit cells, C and D, separated by a vertical line. The device is built on a substrate 100. A base layer 120 is formed on the substrate. On top of the base layer, there is a layer 125, which is patterned into a series of rectangular blocks 130a and 130b. Above these blocks is a layer 138. A top layer 140 is formed over the entire structure. In unit cell C, a layer 150 is formed on top of the blocks 130a. In unit cell D, a layer 155a is formed on top of the blocks 130b. The dimensions L1 and L2 are indicated for the blocks in unit cell C, and L1 and L2 are indicated for the blocks in unit cell D. The dimensions L1 and L2 are also indicated for the blocks in unit cell D.